

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

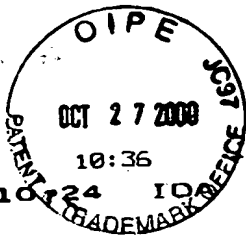
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



07/10/98 10:36 49 531 391 4587
07-Okt-98 10:24 IPO

+49 531 391-4587 S.02

①9 BUNDESREPUBLIK
DEUTSCHLAND



⑫ Patentschrift
⑪ DE 3032468 C2

②1 Aktenzeichen: P 30 32 468.6-31
②2 Anmeldetag: 28. 8. 80
④3 Offenlegungstag: 4. 3. 82
④5 Veröffentlichungstag
der Patenterteilung: 23. 1. 86

⑤1 Int. Cl.
H03M 13/00
RECEIVED
APR 23 2001
Technology Center 2100

DE 3032468 C2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦3 Patentinhaber:
Siemens AG, 1000 Berlin und 8000 München, DE

⑦2 Erfinder:
Adi, Wael, Dr.-Ing., 3300 Braunschweig, DE
⑤6 Im Prüfungsverfahren entgegengehaltene
Druckschriften nach § 44 PatG:
DE-AS 20 53 838
Peterson, W. Wesley: Prüfbare und korrigierbare
Codes, R. Oldenbourg Verlag, München-Wien 1967,
S.242-265.

⑤4 Schaltungsanordnung zur Erkennung des Musters von Fehlerbündeln

DE 3032468 C2

30 32 468

1

Patentansprüche:

1. Schaltungsanordnung zur Erkennung des Musters von Fehlerbündeln mittels eines durch das Generator-Polynom

$$G(x) = (1 + x^c) \cdot p(x)$$

definierten Fire-Codes, bei dem die Bedingungen
 $c = r - m$ mit r = Zahl der Redundanzbits und
 m = Grad des irreduziblen Polynoms $p(x)$ und
 $m \geq b_0 \geq b_c$ mit b_0 = Länge bzw. Bitzahl eines
maximal fehlerkorrigierbaren Einzelbündels und
 b_c = implementierte Korrigierbarkeit eines Fehler-
bündels gelten, unter Verwendung eines rückge-
koppelten, r Bitspeicherstellen umfassenden Schie-
beregisters, das entsprechend dem verwendeten
Polynom vor jeder der den einzelnen Polynom-
koeffizienten zugeordneten Bitspeicherstellen je
ein modulo-2-Addierglied mit zugehörigem Rück-
kopplungspfad aufweist und bei dem ein Teil der Bit-
speicherstellen mit einer Null-Prüfschaltung ver-
bunden ist, dadurch gekennzeichnet, daß das
Schieberegister aus einem ersten Teilregister
(REG 1) mit m Bitspeicherstellen, aus einem
zweiten Teilregister (REG 2) mit b_c Bitspeicher-
stellen, einem dritten Teilregister (REG 3) mit
 $c - m - b_c$ Bitspeicherstellen und einem vierten
Teilregister (REG 4) mit wiederum m Bitspeicher-
stellen zusammengesetzt ist, daß die Bitspeicher-
stellen des ersten und des vierten Teilregisters
(REG 1, REG 4) auf Gleichheit und die Bitspeicher-
stellen des dritten Teilregisters (REG 3) auf Null
geprüft werden und daß bei Erfüllung dieser bei-
den Bedingungen im zweiten Teilregister (REG 2)
das Fehlermuster steht.

2. Schaltungsanordnung zur Erkennung des Musters von Fehlerbündeln mittels eines durch das Generator-Polynom

$$G(x) = (1 + x^c) \cdot p(x)$$

definierten Fire-Codes, bei dem die Bedingungen
 $c = r - m$ mit r = Zahl der Redundanzbits und
 m = Grad des irreduziblen Polynoms $p(x)$ und
 $b_c \geq c - m$ mit b_c = implementierte Korrigierbar-
keit eines Fehlerbündels gelten, unter Verwendung
eines rückgekoppelten Schieberegisters mit r Bit-
speicherstellen, das entsprechend dem verwendeten
Polynom vor jeder der den einzelnen Polynom-
koeffizienten zugeordneten Bitspeicherstellen je
ein modulo-2-Addierglied mit zugehörigem Rück-
kopplungspfad aufweist, dadurch gekennzeichnet,
daß das Schieberegister in drei Teilregister (REG A,
REG B, REG C) unterteilt ist, daß das erste und
letzte Teilregister (REG A, REG C) jeweils m Bit-
speicherstellen aufweisen und daß das mittlere Teil-
register (REG B) aus $c - m$ Bitspeicherstellen be-
steht, daß bei einem korrigierbaren Fehlerbündel,
dessen Bitzahl b_c um z Bitstellen größer ist als die
Zahl $c - m$ der Bitspeicherstellen im mittleren Teil-
register (REG B), die ersten z Bitspeicherstellen des
letzten Teilregisters (REG C) mit den erst n z Bit-
speicherstellen des ersten Teilregisters (REG A)
über ein modulo-2-Addierglied (MAG 1 ... z) ver-
knüpft sind, daß die Ausgänge der im ersten und
letzten Teilregister (REG A, REG C) verbleiben-

2

den $m - z$ Bitspeicherstellen an die Eingänge der
Vergleicherstufe (VG) geführt sind, daß am Aus-
gang dieser Vergleicherstufe (VG) bei nicht auf
Null stehendem Registerinhalt aller Teilregister
(REG A, B, C), jedoch gleichen Eingangssignalen an
der Vergleicherstufe (VG), ein Fehlersignal (ET)
auftritt, welches anzeigt, daß das Fehlermuster an
den Ausgängen des mittleren Teilregisters (REG B)
und an den sich daran anschließenden Ausgängen
der den z Bitspeicherstellen des ersten und letzten
Teilregisters zugeordneten modulo-2-Addierglieder
(MAG 1 ... z) ansteht.

3. Schaltungsanordnung nach Anspruch 1, da-
durch gekennzeichnet, daß zur Ermittlung des Ortes
des Fehlerbündels nach einem Stopp des Schiebe-
registeraktes (CP 2) für das zweite und dritte Teil-
register (REG 2, REG 3) und nach einer Unterbre-
chung des Rückkopplungspfad (RP) mit Hilfe
eines Schalters (S 1) der Ausgang des zweiten Teil-
registers (REG 2) mit einer Codierstufe (CS) ver-
bunden ist, welche die b_c Bits des Fehlermusters b in
einen invertierten Vektor $b^{-1} \bmod p(x)$ mit m Bits
transformiert und daß diese m Bits und der Inhalt
des ersten, mit Hilfe eines Taktsignales (CP 1) seriell
ausgelesenen Teilregisters (REG 1) einem m Bit
breiten Multiplizierwerk zugeführt sind, dessen
Ergebnis zur Durchführung einer $\bmod p(x)$ -Multi-
plikation in das vorher auf Null gesetzte vierte Teil-
register (REG 4) eingegeben wird, daß das Multi-
plikationsergebnis $M(x)$ einer Decodierstufe
(FPLA 1, FPLA 2) zugeführt ist, daß die Decodier-
stufe gemäß der Formel

$$M(x) = \left[x^m \sum_{i=0}^{SA} x^i \right] \bmod p(x)$$

dem jeweiligen Multiplikationsergebnis eine
Sektornummer (SA) zugeordnet ist, die auf einen
bestimmten Sektor der Länge c innerhalb des
Datenwortes zeigt und daß die innersektorielle
Adresse (IA) der innerhalb des Sektors auftretenden
Fehlerstelle durch die Zahl der für das Auffinden des
Fehlermusters notwendigen Schieberegister-Takt-
schritte bestimmt ist, derart, daß die Taktschritte
am Ende des jeweiligen Sektors zurückgezählt
werden.

4. Schaltungsanordnung nach Anspruch 3, da-
durch gekennzeichnet, daß die m Bits des inver-
tierten Fehlermuster-Vektors $b^{-1} \bmod p(x)$ über
je ein UND-Glied (UD 1 ... m) mit den seriell
ausgelesenen m Bits des ersten Teilregisters (REG 1)
konjunktiv verknüpft sind und daß die Ausgänge
dieser UND-Glieder (UD 1 ... m) mit je einem
weiteren Eingang der bitmäßig zugeordneten mo-
dulo-2-Addierglieder (AG 1 ... m) des vierten Teil-
registers (REG 4) verbunden sind.

Die Erfindung bezieht sich auf Schaltungsanord-
nungen zur Erkennung von Fehlerbündeln gemäß den
Oberbegriffen der Patentansprüche 1 und 2.

Auf dem Gebiet der Datenverarbeitung sind im
Zusammenhang mit der Erkennung und Korrektur
eventuell auftretender Fehler verschiedene redundante
Codes bekannt geworden, bei denen die zu über-

30 32 468

3

tragenden oder zu speichernden Datenwörter durch aus den Datenbits gewonnene Redundanzbits entsprechend ergänzt werden. Bei der Auswertung dieser redundanten Dateninformation werden dann aus den Datenbits erneut Redundanzbits gewonnen und mit den vorher abgeleiteten Redundanzbits verglichen. Die aus dem Vergleich gewonnenen, als Syndrom bezeichneten Signale werden schließlich zur Lokalisierung und gegebenenfalls zur Korrektur der jeweiligen Fehlerstelle verwendet.

Neben einer Fülle von Verfahren zur Erkennung und Korrektur von Einzel- und verteilten Mehrfachfehlern sind auch Verfahren und Schaltungsanordnungen bekannt (DE-AS 20 53 836, W. W. Peterson »Prüfbare und korrigierbare Codes« 1967, R. Oldenbourg Verlag), die unter Anwendung sogenannter zyklischer Codes, z. B. des Firecode, eine Erkennung und Korrektur von Fehlerbündeln ermöglichen. Gattungsgemäße Schaltungsanordnungen haben jedoch den Nachteil, daß sie für die Decodierung sehr viel Zeit erfordern, so daß der Lesebetrieb entsprechend behindert wird.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, eine Schaltungsanordnung zur Erkennung des Musters von Fehlerbündeln unter Anwendung des Fire-Codes so auszubilden, daß sie für die Erkennung einen geringen zeitlichen Aufwand erfordert.

Diese Aufgabe wird erfindungsgemäß mit den kennzeichnenden Merkmalen der Patentansprüche 1 oder 2 gelöst. Der Vorteil einer erfindungsgemäßen Schaltungsanordnung unter Verwendung eines speziell ausgebildeten rückgekoppelten Schieberegisters liegt vor allem darin, daß mit maximal nur $r-m$ Taktschritten, d. h. Schiebeschritten des Registers, ein gegebenenfalls vorhandenes Fehlermuster ermittelt werden kann, so daß der Inhalt des Schieberegisters z. B. bei der Version gemäß dem Patentanspruch 1 im Höchstfall nur über die Länge der ersten drei Teilregister durchgeschoben werden muß.

Vorteilhafte Weiterbildungen des Erfindungsgedankens sind in den Unteransprüchen angegeben.

Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Zeichnung näher erläutert. Dabei zeigt:

Fig. 1 das Blockschaltbild einer Schaltungsanordnung gemäß der Erfindung.

Fig. 2 das Datenformat eines erfindungsgemäß verwendeten Datenwortes mit Fehlerort-Adressierung.

Fig. 3 eine Abwandlung der Schaltung gemäß Fig. 1.

Die Fig. 1 zeigt im linken Teil ein aus vier in Reihe geschalteten Teilregistern REG 1, 2, 3, 4 aufgebautes Schieberegister mit linearer Rückkopplung. Der Dateneingang DI ist mit dem Ausgang des Schieberegisters über ein modulo-2-Addierglied AG 0 verknüpft, dessen Ausgang wiederum mit dem zum Eingang des Schieberegisters führenden Rückkopplungspfad RP verbunden ist. Das dem Dateneingang DI zugeführte, aus Datenbits und Redundanzbits zusammengesetzte Signal ist nach den Gesetzen des Fire-Code entsprechend codiert. Nach W. W. Peterson: »Prüfbare und korrigierbare Codes«, 1967, Seiten 242 ff. ist ein Fire-Code ein zyklischer Code, der in allgemeiner Form durch das Generatorpolynom

$$G(x) = p(x)(x^e - 1)$$

definiert ist, wobei $p(x)$ ein irreduzibles Polynom vom Grade m ist, dessen Wurzeln die Ordnung e haben.

4

Ferner gilt, daß e nicht durch e teilbar ist. Die Länge n des Code ist gleich dem kleinsten gemeinsamen Vielfachen von e und c , denn dann ist $G(x)$ ein Teiler von $x^n - 1$. Die Anzahl der Redundanzbits beträgt $c + m = r$, die der Datenbits $n - c - m$ bzw. $n - 2$. Mit diesem Fire-Code kann jedes einzelne Fehlerbündel der Länge b_0 oder kleiner b_0 korrigiert und gleichzeitig jedes Bündel, dessen Länge kleiner oder gleich $d \geq b_0$ ist, erkannt werden, sofern $c \geq b_0 + d - 1$ und $m \geq b_0 \geq b_0$ ist, wobei b_0 die Länge bzw. Bitzahl eines maximal fehlerkorrigierbaren Einzelbündels, b_0 die implementierte Korrigierbarkeit und d die Länge bzw. Bitzahl eines erkennbaren Fehlerbündels bedeuten. Ausgehend von den Bedingungen des Fire-Codes ist nun das Schieberegister gemäß Fig. 1 wie folgt zusammengesetzt. Das erste und vierte Teilregister REG 1 und REG 4 besteht jeweils aus m Bitspeicherstellen, während das zweite Teilregister REG 2 aus b_0 Bitspeicherstellen und das dritte Teilregister REG 3 aus $c - m - b_0$ Bitspeicherstellen aufgebaut ist. Für das gesamte Schieberegister ergeben sich somit r Bitspeicherstellen. Im Teilregister REG 4 ist ferner vor jeder Bitspeicherstelle je ein modulo-2-Addierglied AG 1... m eingeschaltet. Die Rückkopplung dieses vierten Teilregisters REG 4 erfolgt dabei in der Weise, daß entsprechend dem Muster des jeweils verwendeten Polynoms diejenigen modulo-2-Addierglieder, die den Bitspeicherstellen für die im Polynom jeweils auftretenden Koeffizienten vorgeschaltet sind, mit ihren jeweils zweiten Eingang mit dem Rückkopplungspfad RP verbunden sind. So ist beispielsweise bei Verwendung des Polynoms

$$p(x) = 1 + x^4 + x^{13} + x^{15} + x^{16}$$

jeweils das modulo-2-Addierglied vor der ersten (x^0), fünften (x^4), vierzehnten (x^{13}) und sechzehnten (x^{15}) Bitspeicherstelle mit dem Rückkopplungspfad RP verbunden. Diese Rückkopplungsschaltung für das vierte Teilregister REG 4 ist in analoger Weise auch im ersten Teilregister REG 1 vorgesehen.

Zum Auffinden eines Fehlermusters wird nun der als Syndrom S bezeichnete Inhalt des gesamten Schieberegisters taktweise, und zwar mit dem gleichen Takt

$$CP1 = CP2 = CP3$$

solange, d. h. maximal c Schritte weitergeschoben, bis in den beiden Teilregistern REG 1 und REG 4 jeweils das gleiche Bitmuster auftritt. Wenn außerdem im dritten Teilregister REG 3 nur Nullen enthalten sind, dann tritt im zweiten Teilregister REG 2 das gesuchte Fehlermuster auf. Wenn nach maximal c Schritten diese Bedingungen nicht erfüllt sind, bedeutet das, daß ein nichtkorrigierbarer Fehler vorliegt.

Zur Auswertung dieses Signalzustandes sind die Ausgänge der beiden Teilregister REG 1 und REG 4 mit den Eingängen einer Vergleichsstufe VG verbunden, deren Ausgang mit dem über ein NOR-Glied NOR geführten Ausgang des dritten Teilregisters über ein UND-Glied UG konjunktiv verknüpft ist. Das Ausgangssignal ET dieses UND-Gliedes UG zeigt schließlich an, ob im zweiten Teilregister REG 2 ein Fehlermuster enthalten ist.

Um nun die genaue Fehlerstelle innerhalb des Datenwortes zu ermitteln, werden die b_0 Bits des im zweiten Teilregisters REG 2 aufscheinenden Fehlermusters b mittels einer Codierstufe CS in einen invertierten

30 32 468

5

Vektor $b^{-1} \bmod p(x)$ mit m Bits transformiert. Diese m Bits des invertierten Fehlermusters werden nun mit den m Bits des ersten Teilregisters $REG\ 1$ multipliziert. Dies geschieht über insgesamt m UND-Glieder $UD\ 1 \dots m$, deren Ausgänge jeweils mit einem dritten Eingang der im vierten Teilregister $REG\ 4$ vorgesehenen modulo-2-Addierglieder $AG\ 1 \dots m$ verbunden sind. Vorher wurden sämtliche Bitspeicherstellen des vierten Teilregisters $REG\ 4$ und der Schieberegisterakt $CP2$ des zweiten und dritten Teilregisters $REG\ 2, 3$ auf Null gesetzt.

Damit die m Bits des ersten Teilregisters $REG\ 1$ seriell ausgelesen werden können, muß erstens die Rückkopplung dieses Registers aufgehoben werden, was durch eine Unterbrechung des Rückkopplungspfad RP mittels eines Schalters $S1$ (Stellung 0) geschieht und zweitens eine Verbindung zwischen dem Ausgang des ersten Teilregisters $REG\ 1$ und den Eingängen der UND-Glieder $UD\ 1 \dots m$ hergestellt werden. Letzteres erfolgt durch Umschalten des Schalters $S2$ in die Stellung C. Das Multiplikationsergebnis wird schließlich an den m Bitspeicherstellen des vierten Teilregisters $REG\ 4$ ausgegeben und einer Decodierstufe zugeführt. Diese Decodierstufe besteht im vorliegenden Ausführungsbeispiel aus zwei frei programmierbaren Logikschaltungen $FPLA\ 1, FPLA\ 2$, in denen verschiedene Bitmuster gemäß der Formel

$$M(x) = \left[x^m \sum_{i=0}^{SA} x^{ci} \right] \bmod p(x)$$

gespeichert sind, wobei jedes Muster als Sektoradresse SA auf einen jeweils zugeordneten Sektor der Länge c innerhalb des Datenwortes zeigt. Falls keines dieser Muster auftritt, dann ist der Fehler nicht korrigierbar. Aus der Zahl i der für das Auffinden des Fehlermusters notwendigen Schieberegister-Taktschritte ergibt sich außerdem die sogenannte innersektorielle Adresse IA , derart, daß die Taktschritte vom Ende des jeweils durch die Sektornummer SA markierten Sektoren zurückgezählt werden. Anhand des in Fig. 2 schematisch dargestellten Datenformats für ein in S Sektoren unterteiltes Datenwort ergibt sich, daß die Sektornummer SA beispielsweise auf dem Sektor 3 zeigt, und daß sich die innersektorielle Adresse IA als Differenz aus den c Bits dieses Sektors minus der Zahl der Taktschritte i errechnet. Die Fehleradresse

$$EA = c \cdot SA + IA$$

zeigt dann direkt auf den Beginn des Fehlerbündels EB innerhalb des Datenwortes.

Die Fig. 3 zeigt eine vereinfachte Variante der Schaltungsanordnung gemäß Fig. 1. Für diese Schaltungsvariante gilt die Bedingung, daß die implementierte Korrigierbarkeit, d. h. die Bitzahl b , eines korrigierbaren Fehlerbündels gleich oder größer der Anzahl der zwischen dem ersten und letzten Teilregister verbleibenden Bitspeicherzellen ist. Für $b_r = c - m$ ergibt sich für das rückgekoppelte Schieberegister folgender vereinfachter Aufbau. Das erste bzw. letzte Teilregister $REG\ A, REG\ C$ entspricht hinsichtlich der Zahl der Bitspeicherstellen – jeweils m Stellen – und hinsichtlich der Rückkopplungspfade genau dem ersten bzw. vierten Teilregister $REG\ 1$ und $REG\ 4$ der Schaltung gemäß Fig. 1. Dazwischen liegt nur noch in Teil-

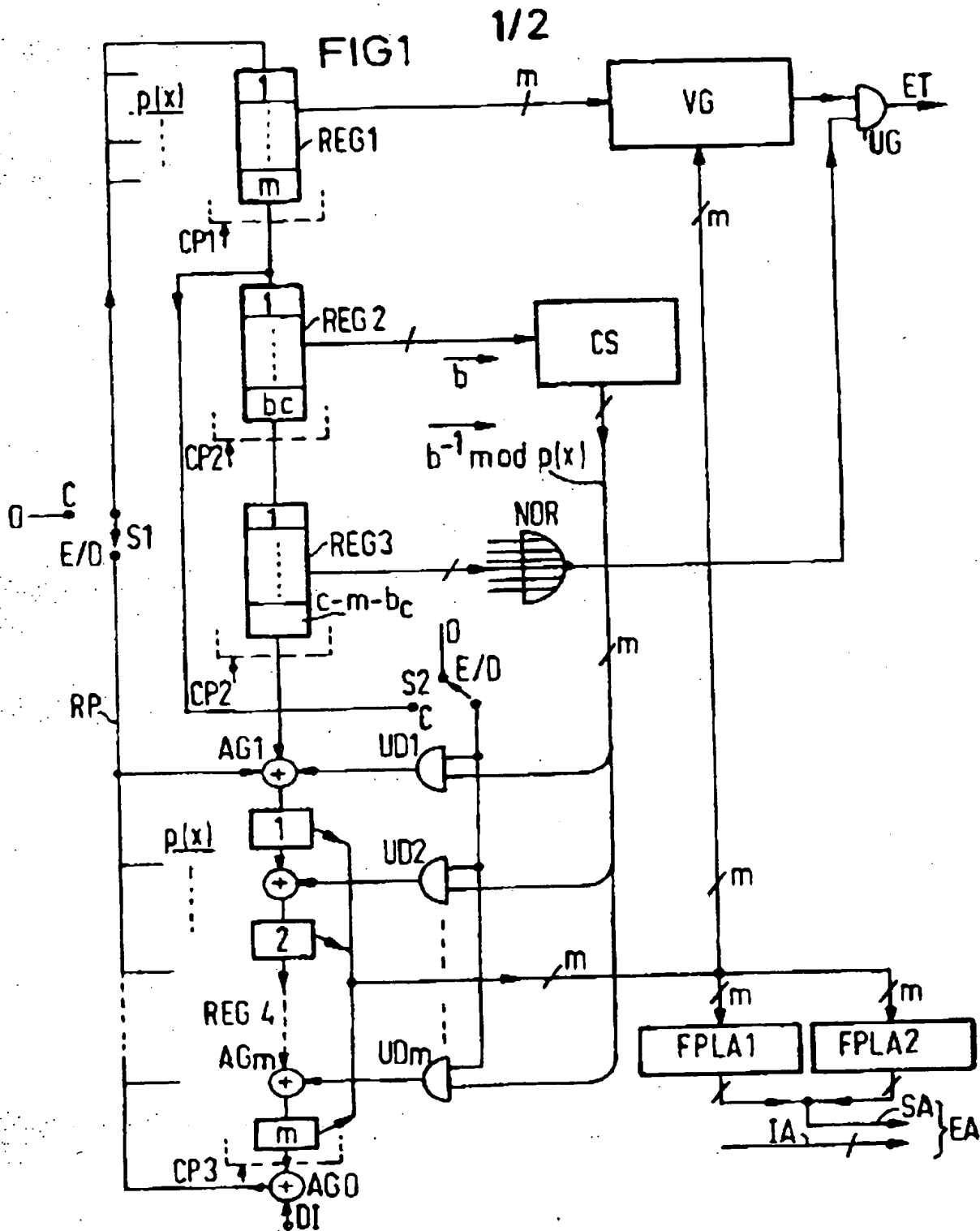
6

register, nämlich das mittlere Teilregister $REG\ B$, das insgesamt $c - m$ Bitspeicherstellen aufweist. Wenn nun dieses Schieberegister wieder solange, d. h. maximal c Schritte weitergeschoben wird, bis in den beiden Teilregistern $REG\ A$ und $REG\ C$ jeweils das gleiche Bitmuster auftritt, dann ist, sofern $b_r = c - m$, im mittleren Teilregister $REG\ B$ ein Fehlermuster mit der vollen Bitzahl dieses Teilregisters vorhanden. Das Auftreten eines Fehlermusters wird auch hier mittels einer Vergleicherstufe VG durch ein Fehlersignal ET angezeigt. Die Schaltungsanordnung gemäß Fig. 3 zeigt den Fall, bei dem $b_r > c - m$ ist, d. h. bei dem die Bitzahl b_r des Fehlermusters um z Bitstellen, beispielsweise um zwei Bitstellen größer ist als die Anzahl $c - m$ der Bitspeicherstellen im mittleren Teilregister $REG\ B$. In diesem Fall werden dann die jeweils ersten z bzw. 2 Bitspeicherstellen des ersten und letzten Teilregisters $REG\ A, REG\ C$ über je ein modulo-2-Addierglied $MAG\ 1 \dots z$ bzw. $MAG\ 1, MAG\ 2$ miteinander verknüpft, deren Ausgangssignale zusammen mit dem Inhalt des mittleren Teilregisters $REG\ B$ das vollständige Fehlermuster ergeben. Entsprechend erfolgt der Signalvergleich in der Vergleicherstufe VG nicht mehr mit allen m Bits des ersten und letzten Teilregisters $REG\ A$ und $REG\ C$, sondern nur noch mit $m - z$ bzw. $m - 2$ Bits.

Hierzu 2 Blatt Zeichnungen

ZEICHNUNGEN BLATT 1

Numm r: 30 32 488
 Int. Cl. 4: H 03 M 13/00
 Veröffentlichungstag: 23. Januar 1986



508 164/192

ZEICHNUNGEN BLATT 2

Nummer: 30 32 468
 Int. Cl.4: H 03 M 13/00
 Veröffentlichungstag: 23. Januar 1986

